

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-029560  
(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

H01L 27/092

(21)Application number : 03-208589  
(22)Date of filing : 23.07.1991

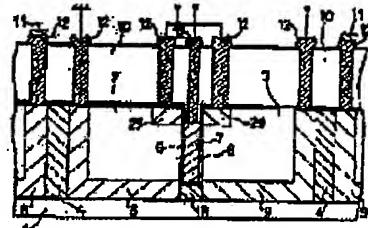
(71)Applicant: MITSUBISHI ELECTRIC CORP  
(72)Inventor: KOGA TAKESHI

**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

**(57)Abstract:**

**PURPOSE:** To obtain the device structure of an inverter circuit in a semiconductor device which can reduce the occupying area of an element and increase the capacity of the element without relying on the gate width of a transistor and the manufacturing method of the inverter circuit.

**CONSTITUTION:** Since a silicon layer is formed by epitaxial growth and a gate electrode 18 and drains 27 and 29 are formed perpendicularly to the main surface of a silicon substrate 1 after sources 8 and 9 are formed in the substrate 1, this semiconductor device can be reduced in element area and can be increased in capacity without relying on the gate width of a transistor.



(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-29560

(43) 公開日 平成5年(1993)2月5日

(51) Int.Cl.<sup>5</sup>

### 識別記号

厅内整理番号

F I

技術表示箇所

7342-4M

H 0 1 L 27/08

3 2 1 G  
3 2 1 K

審査請求 未請求 請求項の数 6 (全 8 頁)

(21)出願番号 特願平3-208589

(22) 出願日 平成3年(1991)7月23日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 古賀 剛

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社北伊丹製作所内

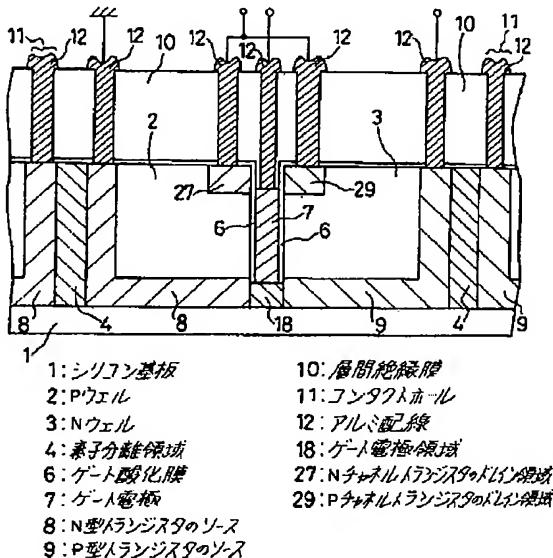
(74) 代理人 弁理士 早瀬 真一

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】トランジスタのゲート幅によらずに、素子の面積を縮小でき、大容量化できる半導体装置におけるインバータ回路のデバイス構造とその製造方法を得ること。

【構成】 シリコン基板1中にソース8, 9を形成した後、エピタキシャル・シリコン層を成長させ、シリコン基板1の主面と垂直方向にゲート電極18, ドレイン27, 29を形成するようにしたので、トランジスタのゲート幅によらずに素子の面積を縮小でき、大容量化できる半導体装置を得ることができる。



## 【特許請求の範囲】

【請求項1】 一対のPチャネルトランジスタとNチャネルトランジスタにより形成されたインバータ回路を備えた半導体装置において、半導体基板の正面に対して垂直方向に積層した上記PチャネルあるいはNチャネルの各トランジスタのソース、チャネル及びドレインと、上記インバータ回路を構成する上記PチャネルトランジスタとNチャネルトランジスタとの向かい合うチャネルの側面に上記半導体基板の正面に対して垂直方向に積層した絶縁膜及びゲート電極とを備えたことを特徴とする半導体装置。

【請求項2】 上記NチャネルあるいはPチャネルの各トランジスタのソース、チャネル、ドレインは、基板上に素子分離領域及びゲート電極を形成し、P型、N型シリコンが交互に三層積層されたものであることを特徴とする請求項2記載の半導体装置。

【請求項3】 シリコン半導体基板上に一対のPチャネルトランジスタとNチャネルトランジスタにより形成されたインバータ回路を有する半導体装置を製造する方法において、

上記半導体基板上にNチャネル及びPチャネルトランジスタのソース領域を形成し、N型のエピタキシャルシリコン層を成長させ、PウェルとNウェルとを形成した後、素子分離領域及びゲート電極領域を形成する工程と、

該素子分離領域及びゲート電極領域を半導体基板の正面に対して、垂直方向にエッチングし、ここに絶縁膜を埋設形成する工程と、

上記Nチャネル及びPチャネルトランジスタのソースを形成するためのソースウォールを形成し、拡散を行いNチャネル及びPチャネルトランジスタのソースを形成する工程と、

ゲート電極領域の絶縁膜をソースよりも深くエッチングし、ゲート酸化膜を熱酸化で形成し、ゲート電極をシリコン正面よりも落ち込むように形成する工程と、

上記Pウェル及びNウェルにNチャネル及びPチャネルトランジスタのドレインを形成する工程と、

上記ゲート酸化膜上に層間絶縁膜を積層し、Nチャネル及びPチャネルトランジスタのソース、ドレイン、ゲートの各領域の層間絶縁膜のみをエッチング除去してコンタクトホールを形成し、アルミ配線により各領域の結線を行う工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項4】 上記NチャネルあるいはPチャネルの各トランジスタのソース、チャネル、ドレインは、N型、P型の各イオン種を注入、拡散することにより形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 上記各イオン種の注入は、ソース、チャ

ネル、ドレインにつき異なる加速電圧により行うことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項6】 上記ゲート酸化膜の形成は、ゲート酸化膜を形成する箇所に酸素イオンを注入してアニールすることによって形成することを特徴とする請求項3記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体装置におけるインバータ回路に関し、特に素子の面積を縮小でき、大容量化できる半導体装置のデバイス構造とその製造方法に関するものである。

## 【0002】

【従来の技術】 図15は従来の半導体装置におけるインバータ回路のデバイス構造を示す構造断面図であり、図において、1はシリコン基板、2はPウェル、3はNウェル、4は素子分離領域、5は寄生チャネル防止用イオン、6はゲート酸化膜、7はゲート電極となる多結晶シリコン、8はNチャネルトランジスタのソース、ドレイン領域、9はPチャネル・トランジスタのソース、ドレイン領域、10は層間絶縁膜、11はコンタクトホール、12はアルミ配線である。また図16は上記半導体装置におけるインバータ回路の回路構成を示す。

【0003】 次に製造方法について説明する。シリコン基板1にBを100KeV, 1.0~5.0×10<sup>13</sup>cm<sup>-2</sup>程度、Nチャネル領域のみに注入し、Pウェル2を形成する。同様に、Pを60KeV, 1.0~9.0×10<sup>12</sup>cm<sup>-2</sup>程度、Pチャネル領域のみに注入し、Nウェル3を形成する。

【0004】 次に、素子分離領域4をシリコン酸化膜で形成する。この時、Pウェル2の素子分離領域4には寄生チャネル防止用イオン5としてシリコン酸化膜下にBを50KeV, 1~2×10<sup>13</sup>cm<sup>-2</sup>程度注入する。

【0005】 次に膜厚100~200オングストローム程度のゲート酸化膜6と膜厚1500~3000オングストローム程度の多結晶シリコン7よりなるゲート電極を形成する。

【0006】 次にPウェル2にのみAsを50KeV, 1~5×10<sup>15</sup>cm<sup>-2</sup>程度注入し、Nチャネルトランジスタのソース、ドレイン領域8を形成する。

【0007】 次に、Nウェル3にのみBを30KeV, 1~5×10<sup>15</sup>cm<sup>-2</sup>程度注入し、Pチャネルトランジスタのソース、ドレイン領域9を形成する。

【0008】 次に、膜厚10000オングストローム程度の層間絶縁膜10をデポし、結線をする。多結晶シリコン7及び各トランジスタのソース、ドレイン領域8, 9の層間絶縁膜10のみをエッチング除去し、コンタクトホール11を形成する。

【0009】 最後に、アルミ配線12により各素子の結線を行う。このようにして形成されたインバータ回路の

回路図を図16に示す。

【0010】

【発明が解決しようとする課題】従来の半導体装置は以上のように構成されているので、インバータ回路の2つのトランジスタを形成しているため、トランジスタのゲート幅により素子の面積が決定され、微細化による大容量化の支障になるという問題点があった。

【0011】この発明は上記のような問題点を解消するためになされたもので、トランジスタのゲート幅によらずに、素子の面積を縮小でき、大容量化できる半導体装置及びその製造方法を得ることを目的とする。

【0012】

【課題を解決するための手段】この発明に係る半導体装置は、Pチャネル及びNチャネルトランジスタのゲート、ソース、チャネル、ドレインを半導体基板の主面に対し、垂直方向に各々形成したものである。

【0013】またこの発明に係る半導体装置の製造方法は、上記半導体基板上にNチャネル及びPチャネルトランジスタのソース領域をそれぞれ形成し、N型のエピタキシャル・シリコン層を成長させ、PウェルとNウェルとを形成した後、素子分離領域及びゲート電極領域を形成する。次に該素子分離領域及びゲート電極領域を半導体基板の主面に対し、垂直方向にエッティングし、ここに絶縁膜を埋設形成し、上記Nチャネル及びPチャネルトランジスタのソースを結成するためのソースウォールを形成し、拡散を行いNチャネル及びPチャネル・トランジスタのソースを形成する。次にゲート電極領域の絶縁膜をソースよりも深くエッティングし、ゲート酸化膜を熱酸化で形成し、ゲート電極をシリコン主面よりも落ち込むように形成し、次に上記Pウェル及びNウェルにNチャネル及びPチャネルトランジスタのドレインを形成し、上記ゲート酸化膜上に層間絶縁膜を積層し、Nチャネル及びPチャネルトランジスタのソース、ドレイン、ゲートの各領域の層間絶縁膜のみをエッティング除去し、コンタクトホールを形成し、アルミ配線により各領域を結線するようにしたものである。

【0014】

【作用】この発明においては、Nチャネル及びPチャネルトランジスタのゲート、ソース、チャネル、ドレインを半導体基板の主面に対し、垂直方向に各々形成したので、トランジスタのゲート幅によらずに、素子の面積を縮小でき、大容量化が可能となる。

【0015】またこの発明の半導体装置の製造方法は、エピタキシャル層によるチャネルを形成し、イオン注入及び拡散によりソース、ドレインを形成するので、既存の製造プロセスにより形成することができる。

【0016】

【実施例】以下、この発明の一実施例を図について説明する。図1は本発明の一実施例による半導体装置の構造を示す構造断面図であり、図において、1～12は上記

従来例と同一部分を示す。18はゲート電極領域、27はNチャネルトランジスタのドレイン領域、29はPチャネルトランジスタのドレイン領域である。

【0017】また、図2～図12は半導体装置の製造工程を示す工程断面図であり、図において、13はPチャネルトランジスタのソースを形成するためのレジスト、14はNチャネルトランジスタのソースを形成するためのレジスト、15はエピタキシャルシリコン層、16はPウェルを形成するためのレジスト、17は素子分離領域、ゲート電極領域を形成するためのレジスト、18はゲート電極領域、19は寄生チャネル防止用イオン注入のためのレジスト、20はTEOS酸化膜、21はNチャネルトランジスタのソースウォール形成のためのレジスト、22はソースウォール、23はPチャネルトランジスタのソースウォール形成のためのレジスト、24はPチャネルトランジスタのソースウォール、25はゲート電極のTEOS酸化膜をエッティングするためのレジスト、26はNチャネルトランジスタのドレインを形成するためのレジスト、27はNチャネルトランジスタのドレイン領域、28はPチャネルトランジスタのドレインを形成するためのレジスト、30はコンタクトホール形成のためのレジストである。

【0018】次に製造方法について説明する。まずレジスト13をマスクとし、シリコン基板1上の図2に示すPチャネルトランジスタのソース9となる部分にBを40KeV, 3～9×10<sup>15</sup>cm<sup>-2</sup>程度注入する。その後、レジスト13をO<sub>2</sub> プラズマ等でアッシング除去する。次にレジスト14をマスクとし、シリコン基板1上の図3に示すNチャネルトランジスタのソース8となる部分にAsを50KeV, 5～9×10<sup>15</sup>cm<sup>-2</sup>程度注入する。その後、レジスト14をO<sub>2</sub> プラズマ等でアッシング除去する。次に図4に示すようにN型のエピタキシャルシリコン層15を成長させ、レジスト16をマスクとし、エピタキシャルシリコン層15のNチャネルトランジスタ領域となるPウェル2にBを100KeV, 1～5×10<sup>13</sup>cm<sup>-2</sup>程度注入する。その後、レジスト16をO<sub>2</sub> プラズマ等でアッシング除去する。

【0019】次にPウェル2のBを拡散し、Pウェル2とNウェル3とを形成した後、レジスト17をマスクとし、図5に示すように素子分離領域4を形成する。この際、ゲート電極領域18も同時にエッティングする。次に図6に示すように素子分離領域4及びゲート電極領域18をフッ素系ガス等で異方性エッティングを行った後、レジスト19をマスクとしてPウェル2に形成される、素子分離領域4にのみ寄生チャネル防止用イオン5としてBを50KeV, 1～5×10<sup>13</sup>cm<sup>-2</sup>程度注入する。その後、レジスト17及び19をO<sub>2</sub> プラズマ等でアッシング除去する。

【0020】次に図7に示すようにTEOS酸化膜20をデボすることにより、素子分離領域4及びゲート電極

領域18の中に絶縁膜を埋め込むことができる。これはウエハ全面にTEOS酸化膜20を素子分離領域4が充分埋め込まれる程デポした後、組成比1.5:1のBHF等によりウエハ全面をエッティングし、素子分離領域4及びゲート電極領域18の中にのみTEOS酸化膜20が残るようにすれば形成できる。さらに、レジスト21をマスクとし、Nチャネル・トランジスタのソース8を結線するためのソース・ウォール22を形成するためにPを注入する。その後、レジスト21をO<sub>2</sub>プラズマ等でアッシング除去する。次に図8に示すようにレジスト23をマスクとし、Pチャネルトランジスタのソース9を結線するためのソース・ウォール24を形成するためにBを注入する。その後、レジスト23をO<sub>2</sub>プラズマ等でアッシング除去する。

【0021】次に拡散を行い、図9に示すようにNチャネルトランジスタのソース8及びPチャネルトランジスタのソース9を形成した後、レジスト25をマスクとしてゲート電極18のTEOS酸化膜20をフッ素系ガスでエッティングする。この時、ソース8、9よりも0.1～0.2μm程度深くエッティングする。これはソース8、9とゲート電極18の間のオフセットにより発生する抵抗を回避するためである。その後、レジスト25をO<sub>2</sub>プラズマ等でアッシング除去する。次に図10に示すように膜厚100～200オングストローム程度のゲート酸化膜6を熱酸化で形成し、多結晶シリコン7をウエハ全面に、ゲート電極18が充分埋め込まれる程デポした後、フッ素系ガスによりウエハ全面をエッティングし、ゲート電極18が0.5～2μm程、シリコン主面よりも落ち込むようにする。そして、レジスト26をマスクにして、Nチャネルトランジスタのドレイン27の領域にAsを50KeV、1～5×10<sup>15</sup>cm<sup>-2</sup>程度注入する。その後、レジスト26をO<sub>2</sub>プラズマ等でアッシング除去する。

【0022】次にレジスト28をマスクとして、図11に示すPチャネルトランジスタのドレイン29の領域にBを30KeV、1～5×10<sup>15</sup>cm<sup>-2</sup>程度注入する。その後、レジスト28をO<sub>2</sub>プラズマ等でアッシング除去する。次に図12に示すように拡散によりドレイン27、29を形成した後、膜厚10000オングストローム程度の層間絶縁膜10をデポする。そして、レジスト30をマスクとして結線をする多結晶シリコン7及び各トランジスタのソース8、9、ドレイン27、29の領域の層間絶縁膜のみをフッ素系ガスにより、エッティング除去し、コンタクトホール11を形成する。その後、レジスト30をO<sub>2</sub>プラズマ等でアッシング除去する。最後に、図1に示すようにアルミ配線12により各素子の結線を行う。

【0023】このような本実施例では、トランジスタのソース、チャネル、ドレインを半導体基板1の主面に対し、垂直方向に各々積層し、インバータ回路を構成する

PチャネルトランジスタとNチャネルトランジスタとの向かい合うチャネルの側面に絶縁膜6とゲート電極7とを配置したので、トランジスタのゲート幅によらずに、素子の面積を縮小でき、大容量化できる半導体装置を得ることができる。

【0024】また上記実施例では、シリコン基板1及びエピタキシャルシリコン層15にBやAsを注入、拡散することにより、トランジスタのソース、ドレインを形成したものを例にとって説明したが、N型及びP型の多結晶シリコンを交互に積層することにより形成してもよく、上記実施例と同様の効果を奏する。

【0025】以下、このようにした本発明の第2の実施例を図について説明する。図13及び図14はこの発明の他の実施例による半導体装置の製造工程を示す工程断面図であり、図において、上記実施例と同一符号は同一または相当部分を示す。

【0026】次に製造工程について説明する。図13に示すようにシリコン基板1上に素子分離領域4、ゲート電極18を形成した後、Nチャネル領域にはN型多結晶シリコン8、P型多結晶シリコン2、N型多結晶シリコン27の順にデポする。また、Pチャネル領域にはP型多結晶シリコン9、N型多結晶シリコン3、P型多結晶シリコン29の順にデポする。そして、図14に示すようにゲート電極18にレジスト31でマスクした後、フッ素系ガス等で素子分離領域4上の各々の多結晶シリコンが完全に除去されるまでエッティングする。これにより、上記実施例の図11と同一の構造が得られる。

【0027】また上記実施例において、図4に示すように各トランジスタのソース8、9を形成した後、エピタキシャルシリコン層15を成長させ、チャネル、ドレン領域を形成することを例にとって説明したが、1M～10MV程度の高加速度による注入によりソース8、9を形成すれば、シリコン基板1中に各トランジスタのソース、チャネル、ドレンを形成することができる。

【0028】また上記実施例において、ゲート酸化膜6は熱酸化により形成することを例にとって説明したが、ゲート酸化膜6を形成する箇所に酸素イオンを注入し、アニールすることによっても得られる。

【0029】また上記実施例では、インバータ回路に利用することを例にとって説明したが、同一のインバータ回路を2組用いることにより、スタティックランダム・アクセスメモリのメモリセルとして構成することができる。

### 【0030】

【発明の効果】以上のように、この発明に係る半導体装置によれば、トランジスタのソース、チャネル、ドレンを半導体基板の主面に対して垂直方向に各々積層し、インバータ回路を構成するPチャネルトランジスタとNチャネルトランジスタとの向かい合うチャネルの側面に絶縁膜とゲート電極を配置したので、トランジスタのゲ

ー幅によらずに、素子の面積を縮小でき、大容量化できる半導体装置を得ることができる効果がある。

【0031】またこの発明に係る半導体装置の製造方法によれば、上記半導体基板上にNチャネル及びPチャネルトランジスタのソース領域を形成し、N型のエピタキシャルシリコン層を成長させ、PウェルとNウェルとを形成した後、素子分離領域及びゲート電極領域を形成し、次に該素子分離領域及びゲート電極領域を半導体基板の正面に対し、垂直方向にエッチングし、ここに絶縁膜を埋設形成し、上記Nチャネル及びPチャネルトランジスタのソースを結成するためのソースウォールを形成し、拡散を行いNチャネル及びPチャネルトランジスタのソースを形成し、次にゲート電極の絶縁膜をソースよりも深くエッチングし、ゲート酸化膜を熱酸化で形成し、ゲート電極をシリコン正面よりも落ち込むように形成し、次に上記Pウェル及びNウェルにNチャネル及びPチャネルトランジスタのドレインを形成し、上記ゲート酸化膜上に層間絶縁膜を積層し、Nチャネル及びPチャネルトランジスタのソース、ドレイン、ゲートの各領域の層間絶縁膜のみをエッチング除去してコンタクトホールを形成し、アルミ配線により各領域を結線するよう进行了ので、既存の製造プロセスにより形成することができる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による半導体装置の構造を示す構造断面図である。

【図2】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

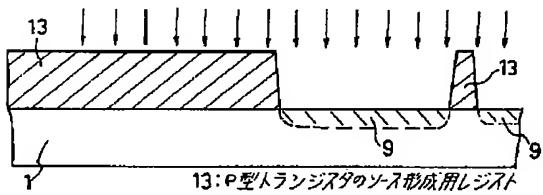
【図3】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

【図4】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

【図5】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

【図6】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

【図2】



【図7】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

【図8】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

【図9】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

【図10】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

10 【図11】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

【図12】この発明の一実施例による半導体装置の製造工程を示す工程断面図である。

【図13】この発明の他の実施例による半導体装置の製造工程を示す工程断面図である。

【図14】この発明の他の実施例による半導体装置の製造工程を示す工程断面図である。

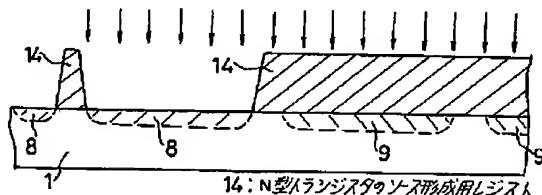
【図15】従来の半導体装置の構造を示す断面図である。

20 【図16】従来のインバータ回路の回路構成を示す回路図である。

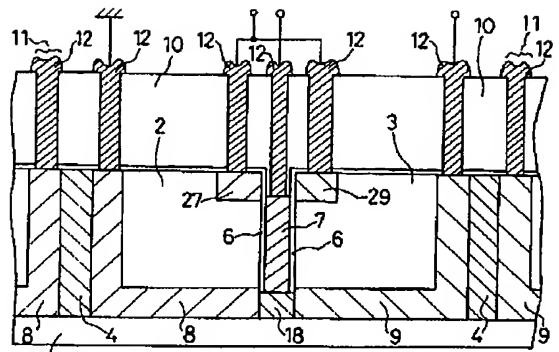
【符号の説明】

1	シリコン基板
2	Pウェル
3	Nウェル
4	素子分離領域
5	寄生チャネル防止用イオン
6	ゲート酸化膜
7	多結晶シリコン
8	Nチャネルトランジスタのソース領域
9	Pチャネルトランジスタのソース領域
10	層間絶縁膜
11	コンタクト・ホール
12	アルミ配線
18	ゲート電極領域
27	Nチャネルトランジスタのドレイン領域
29	Pチャネルトランジスタのドレイン領域

【図3】

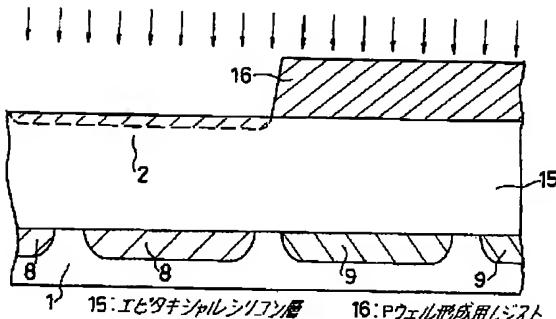


【図1】



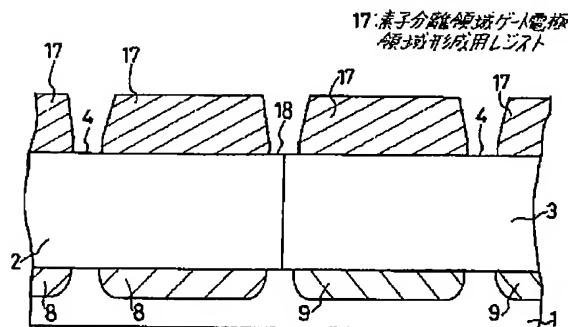
1:シリコン基板  
2:Pウェル  
3:Nウェル  
4:素子分離領域  
6:ゲート酸化膜  
7:ゲート電極  
8:N型トランジスタのソース  
9:P型トランジスタのソース  
10:層間絶縁膜  
11:ファンクションホール  
12:アルミニ配線  
17:Nチャネルトランジスタのドレイン領域  
18:ゲート電極領域  
27:Nチャネルトランジスタのドレイン領域  
29:Pチャネルトランジスタのドレイン領域

【図4】



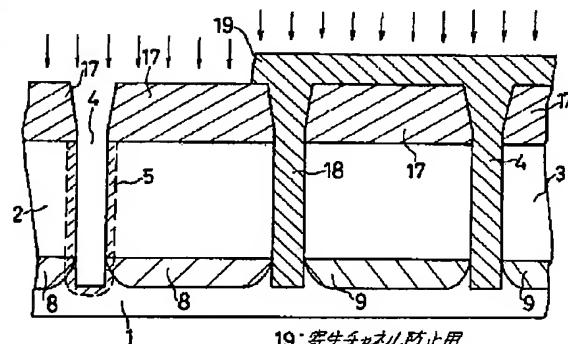
15:エピタキシャルシリコン層  
16:Pウェル形成用レジスト

【図5】



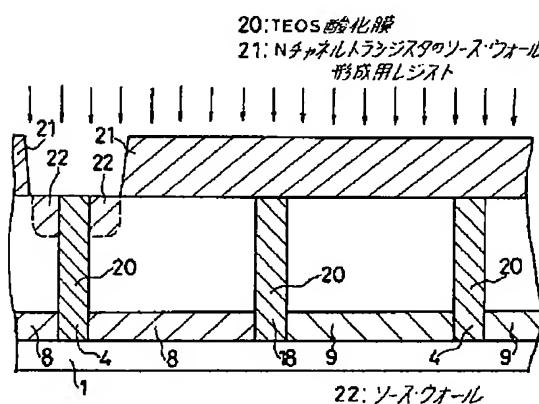
17:素子分離領域ゲート電極  
領域形成用レジスト

【図6】



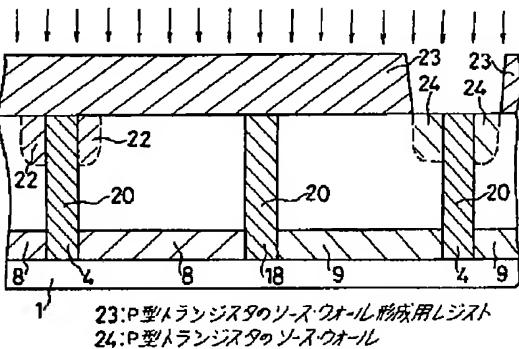
19:寄生チャネル防止用  
イオン注入用レジスト

【図7】



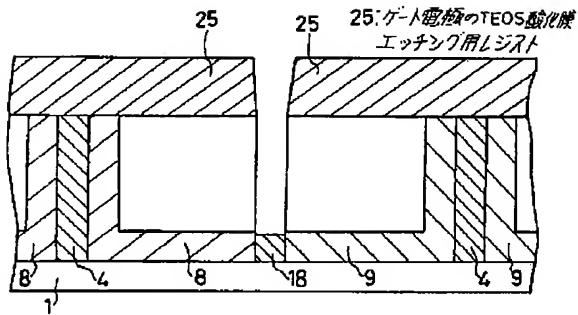
20:TEOS酸化膜  
21:Nチャネルトランジスタのソース・ウォール  
形成用レジスト

【図8】

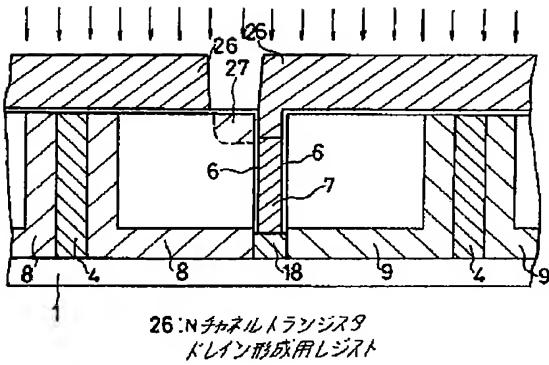


23:P型トランジスタのソース・ウォール形成用レジスト  
24:P型トランジスタのソース・ウォール

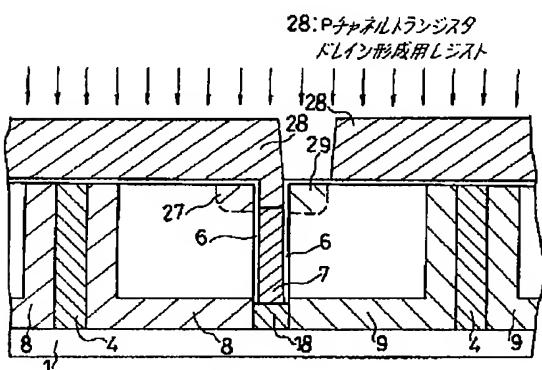
【図9】



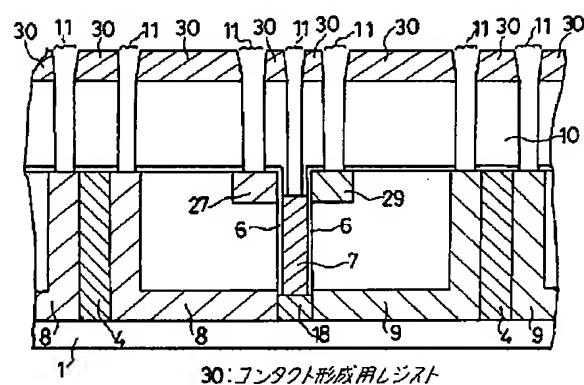
【図10】



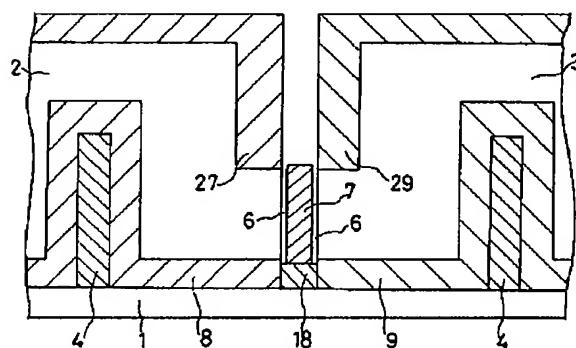
【図11】



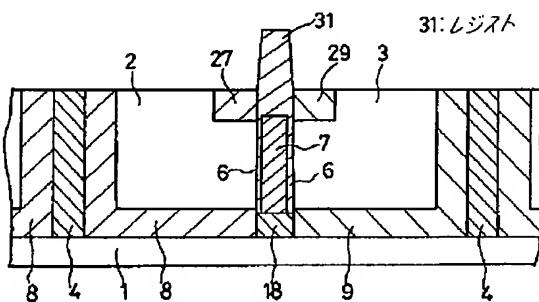
【図12】



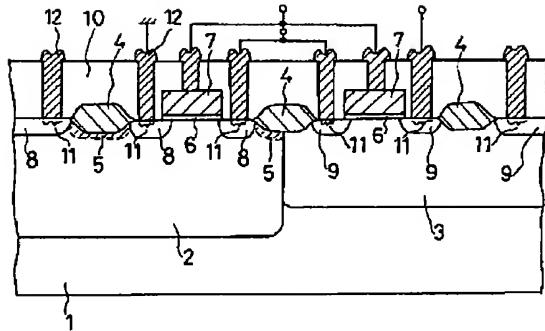
【図13】



【図14】



【図15】



【図16】

